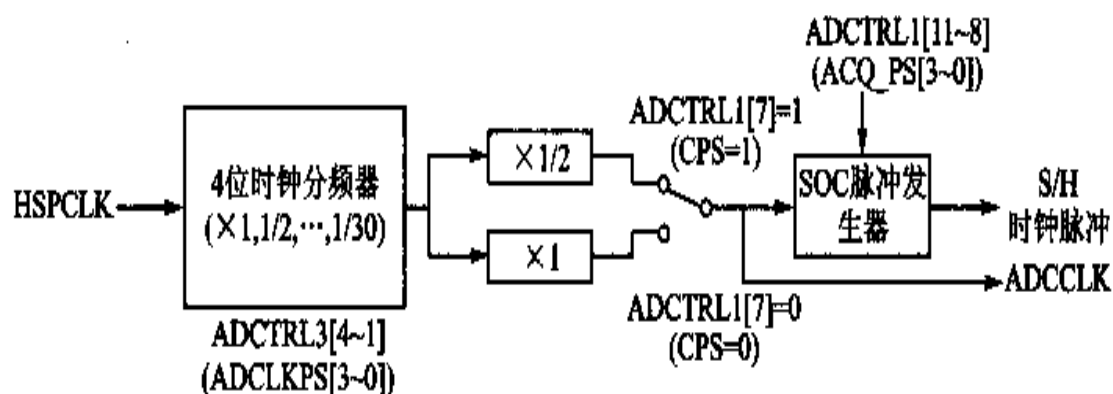


5、设高速外设时钟为 75MHz，试根据图 8.9 分析 ADC 时钟频率和采样脉冲宽度的设定范围。



结合书中的表 8.7 可知，高速外设时钟 HSPCLK 首先会通过 ADCTRL3[4~1] 位即 ADCLKPS[3~0] 进行 1—30 分频，再通过 ADCTRL1[7] 位进行 2 分频或者不分频而得到 ADCCLK。

因此 ADCCLK 的时钟最大频率为 25MHz（受器件限制），最小频率为： $75 \times 10^6 / 30 / 2 = 1.25 \times 10^6 \text{Hz}$ 。

采样脉冲的宽度为 1—16 个 ADCCLK。